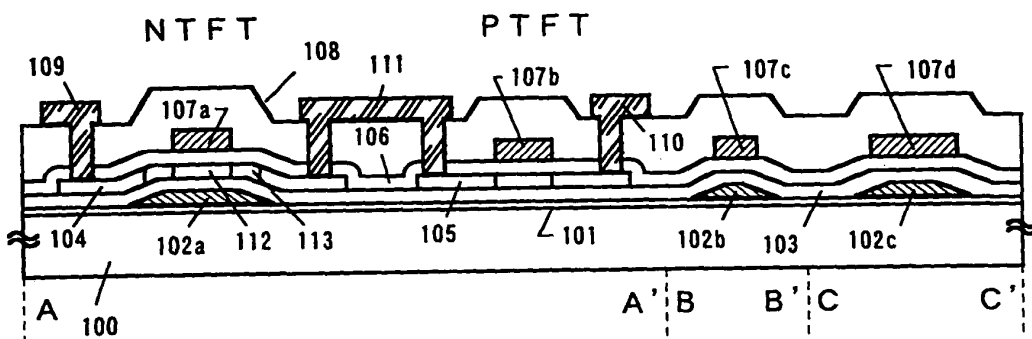
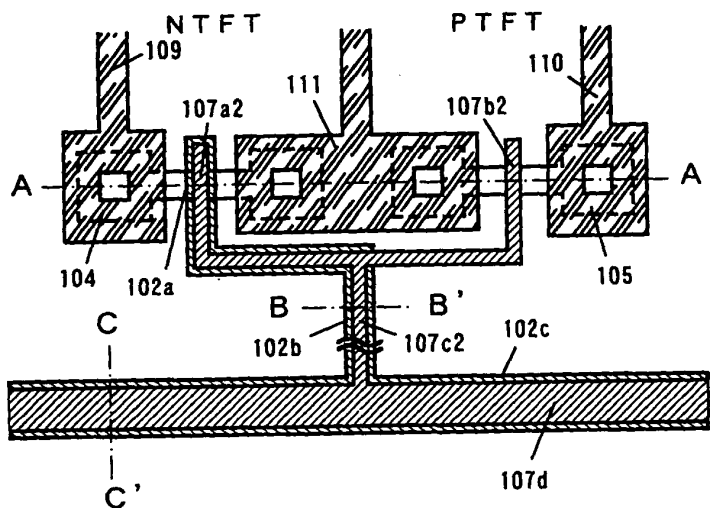


【書類名】 図面

【図1】



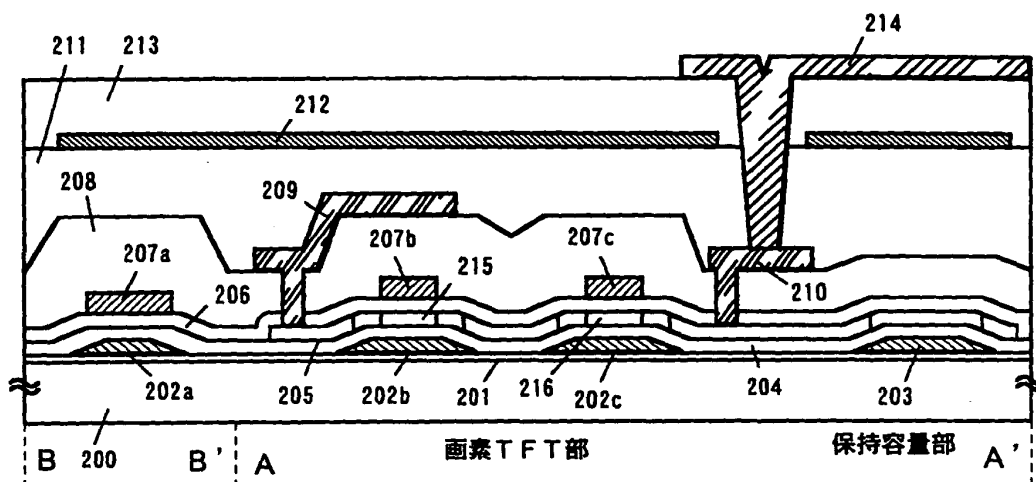
(A)



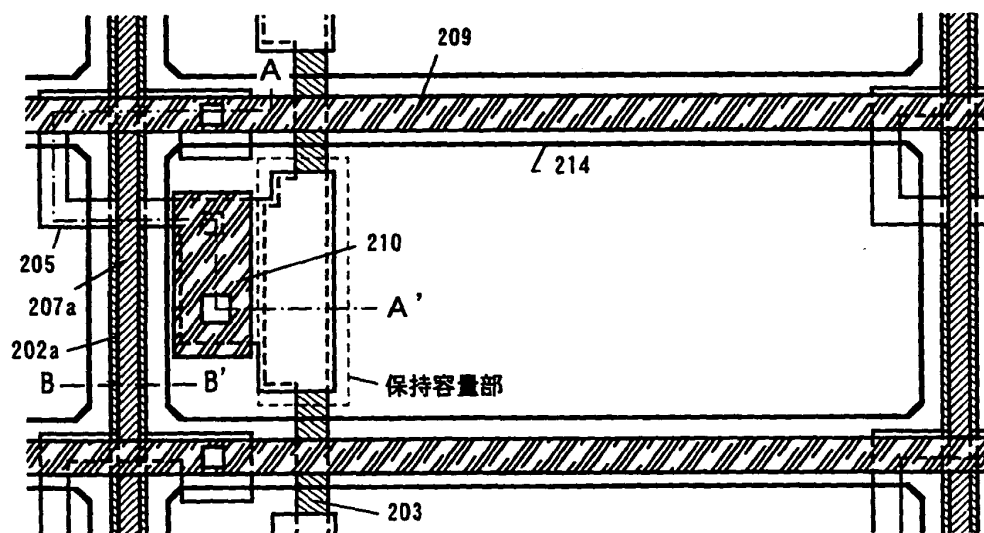
(B)

100:基板 101:下地膜 (TaOx) 102a, 102b, 102c:第1配線  
103:第1絶縁層 104, 105:活性層 106:第2絶縁層  
107a, 107b, 107c, 107d:第2配線 108:第1層間絶縁層  
109, 110:ソース配線 111:ドレイン配線

【図2】



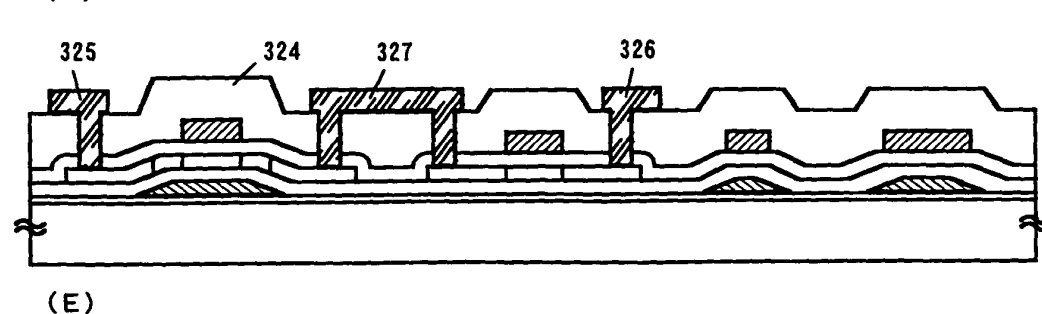
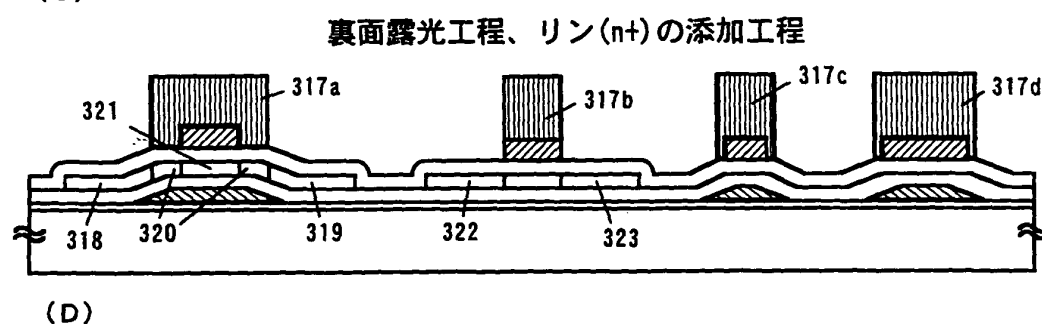
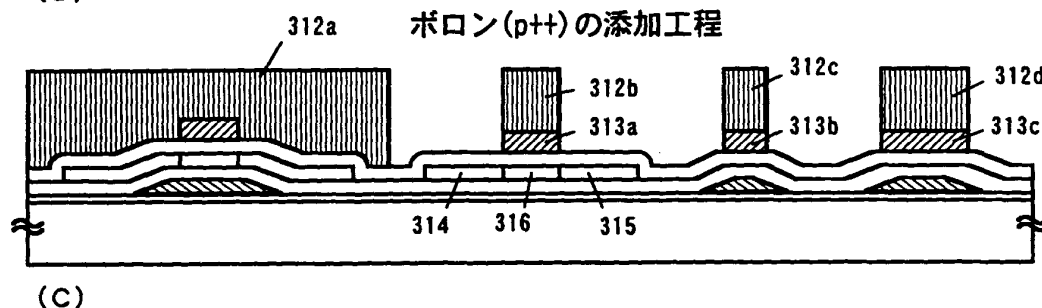
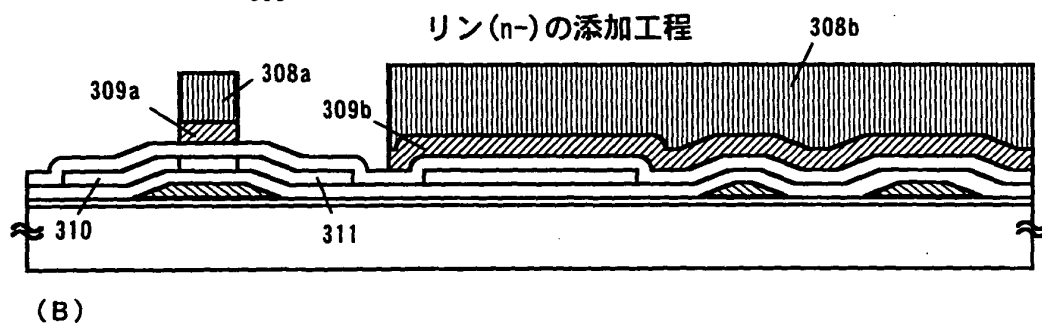
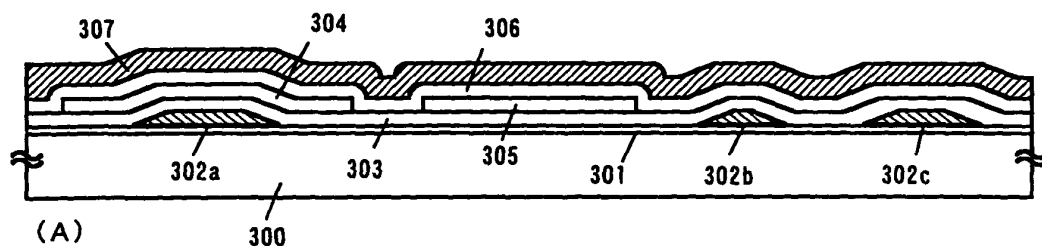
(A)



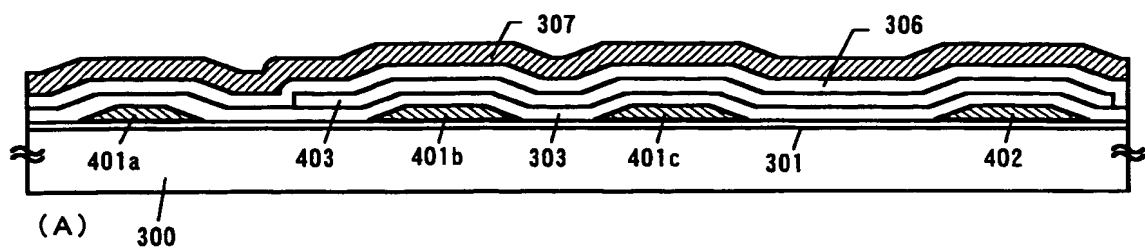
(B)

200:基板 201:下地膜(TaOx) 202a, 202b, 202c:第1配線 203:容量配線  
204:第1絶縁層 205:活性層 206:第2絶縁層 207a, 207b, 207c:第2配線  
208:第1層間絶縁層 209:ソース配線 210:ドレイン配線 211:第2層間絶縁層  
212:レジスタマスク 213:第3層間絶縁層 214:画素電極 215, 216:チャネル形成領域

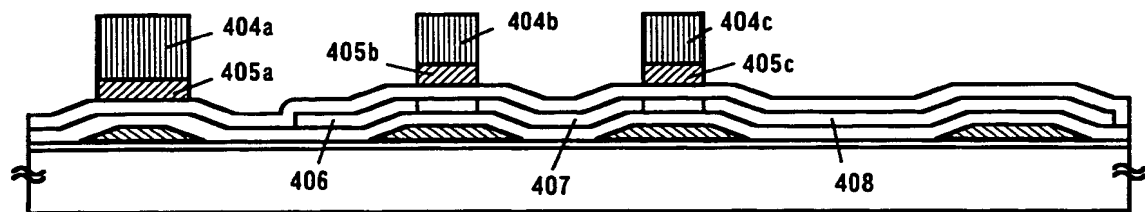
【図3】



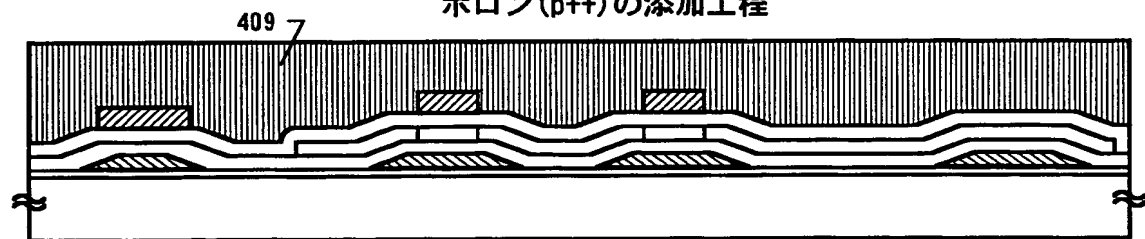
【図4】



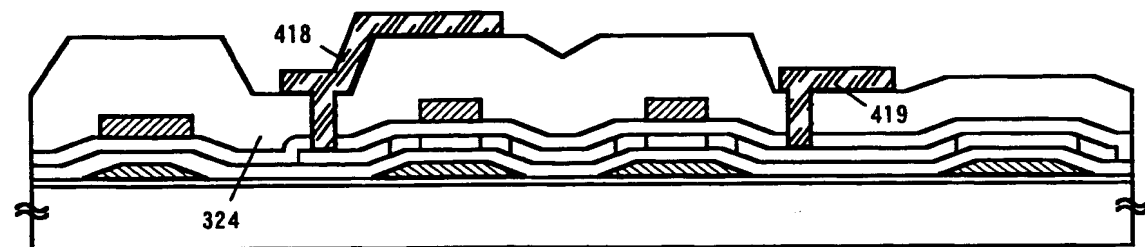
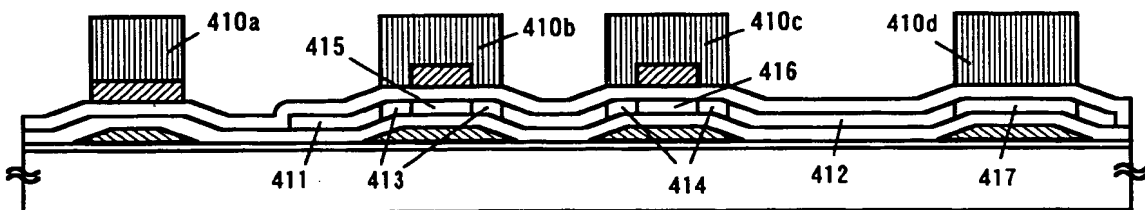
リン(n-)の添加工程



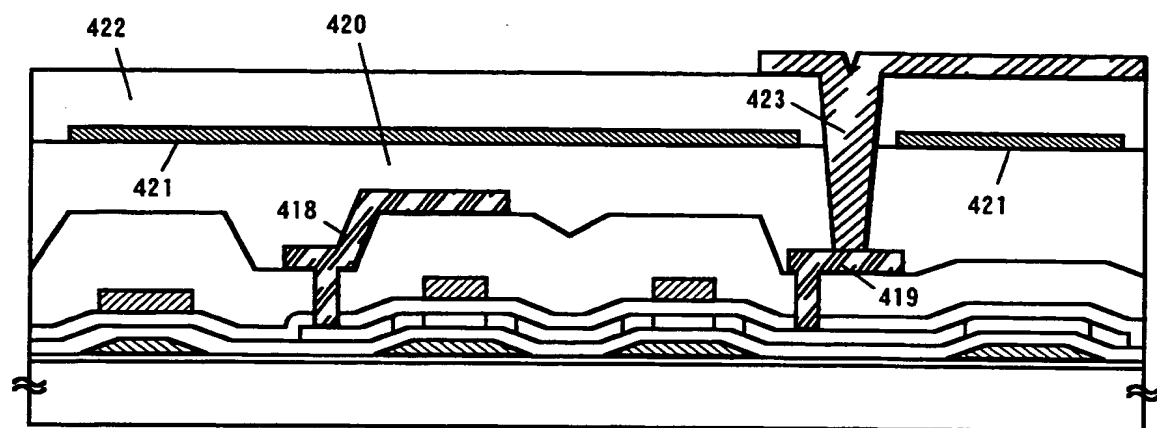
ボロン(p++)の添加工程



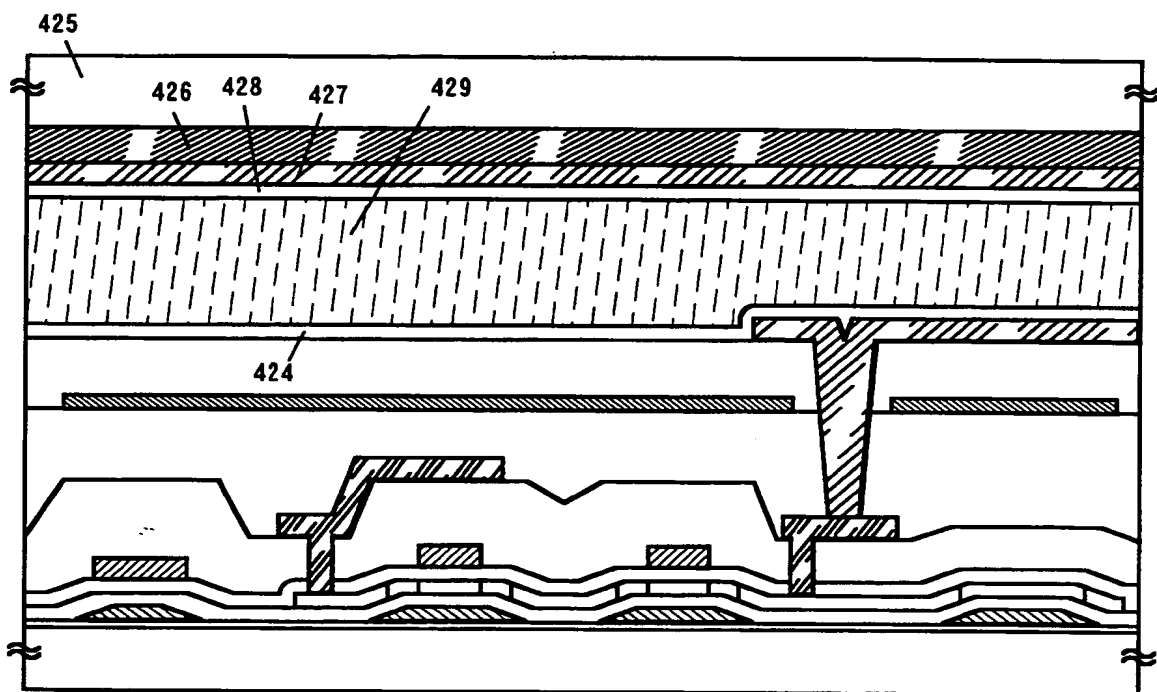
裏面露光工程、リン(n+)の添加工程



【図5】

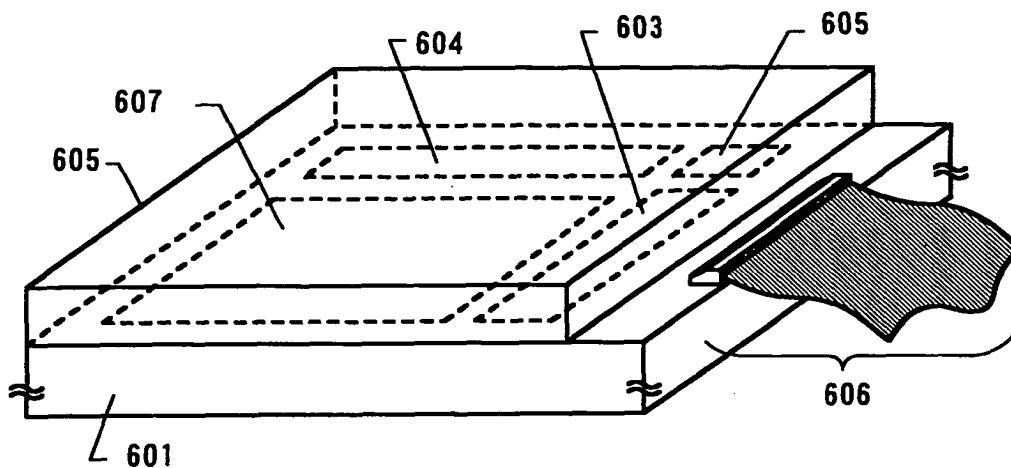


(A)



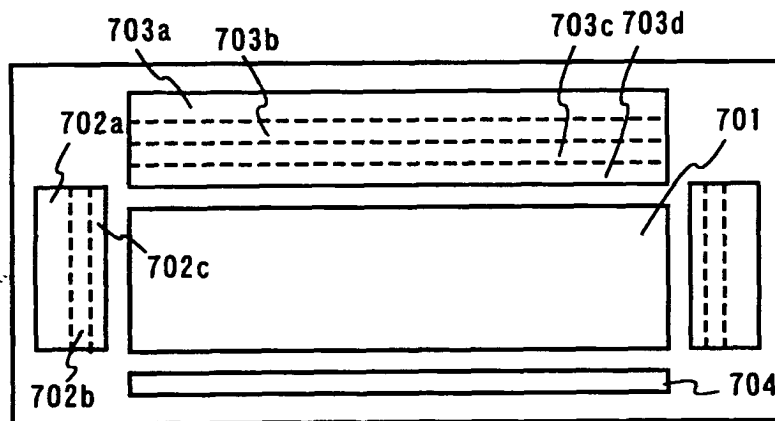
(B)

【図6】



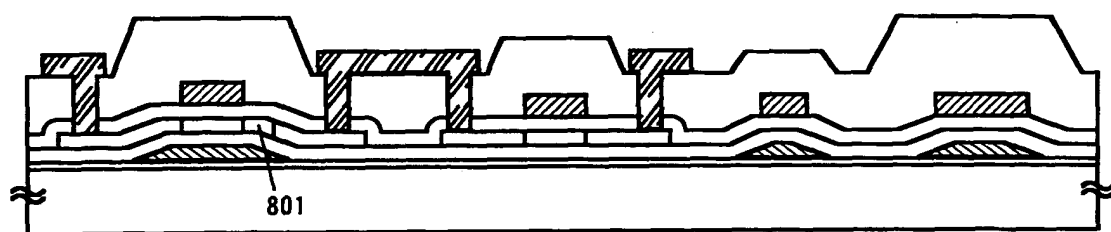
601: 絶縁表面を有する基板 602: 画素マトリクス回路  
603: ソースドライバ回路 604: ゲートドライバ回路  
605: 信号処理回路 606: FPC 1007: 対向基板

【図7】

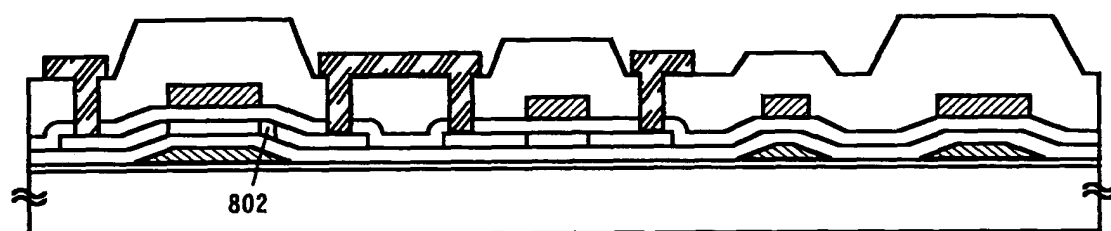


701: 画素マトリクス回路 702a, 703a: シフトレジスタ回路  
702b, 703b: レベルシフト回路 702c, 703c: バッファ回路  
703d: サンプルング回路 704: プリチャージ回路

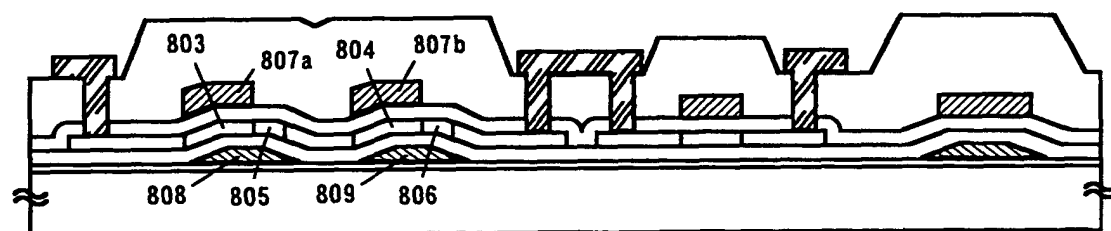
【図8】



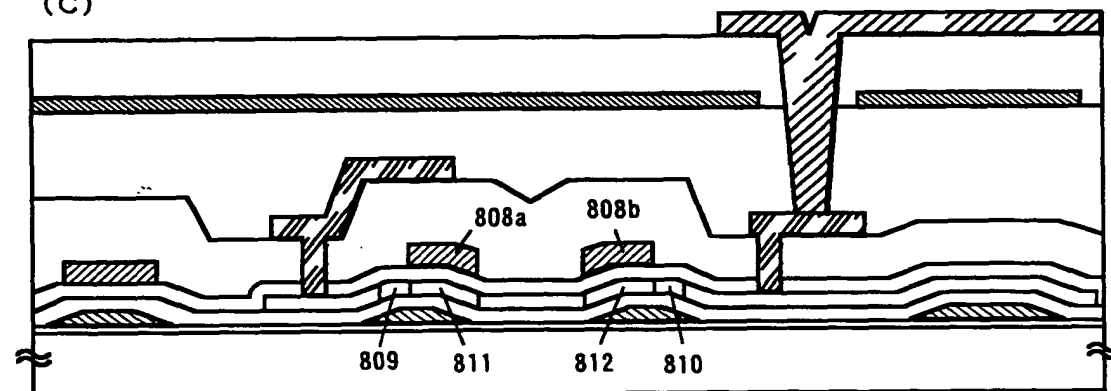
(A)



(B)

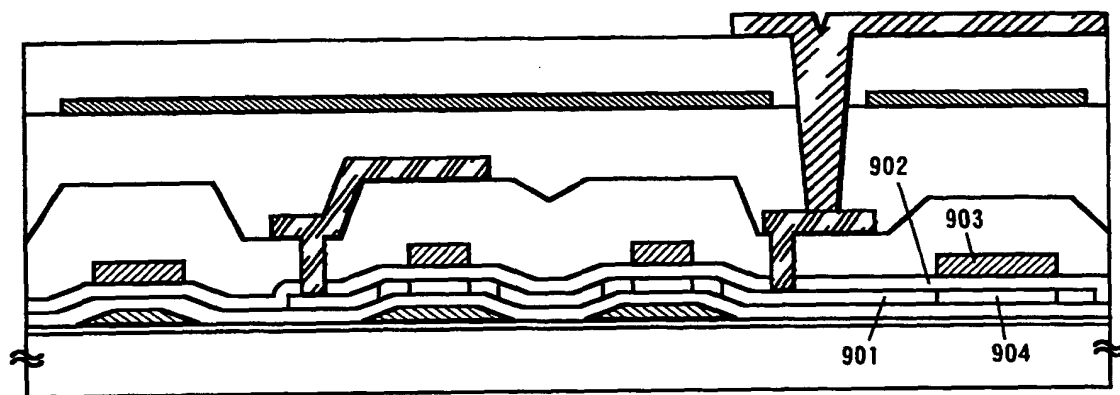


(C)



(D)

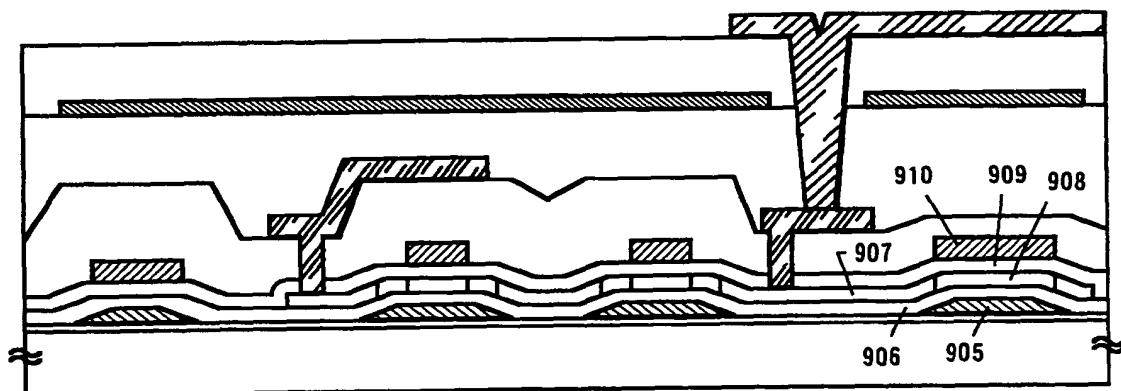
【図9】



(A)

画素TFT部

保持容量部



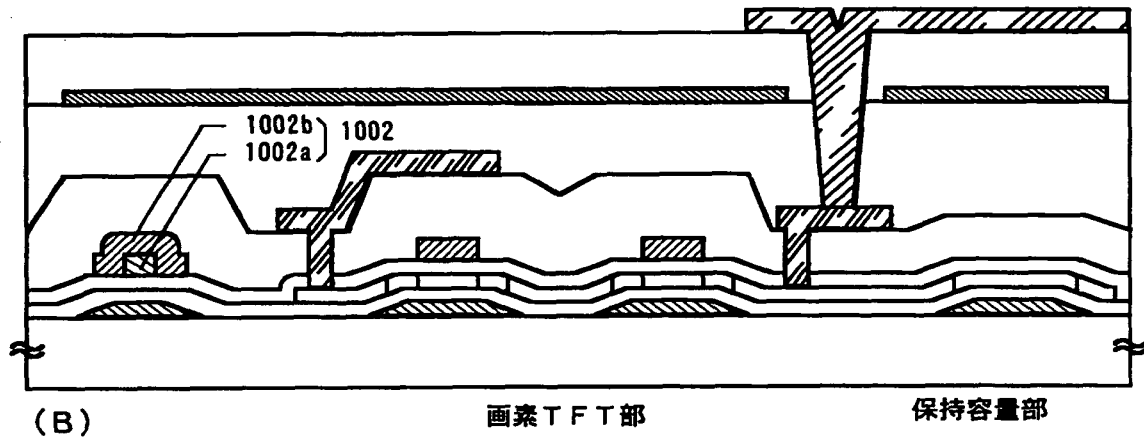
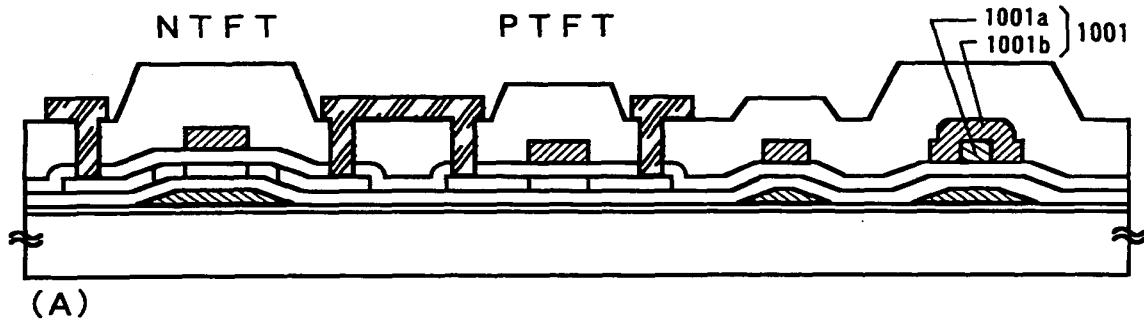
(B)

画素TFT部

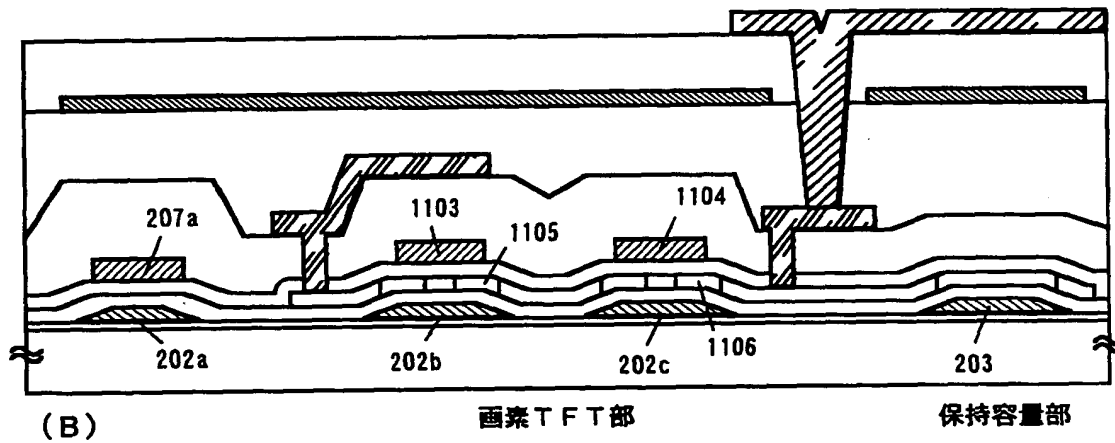
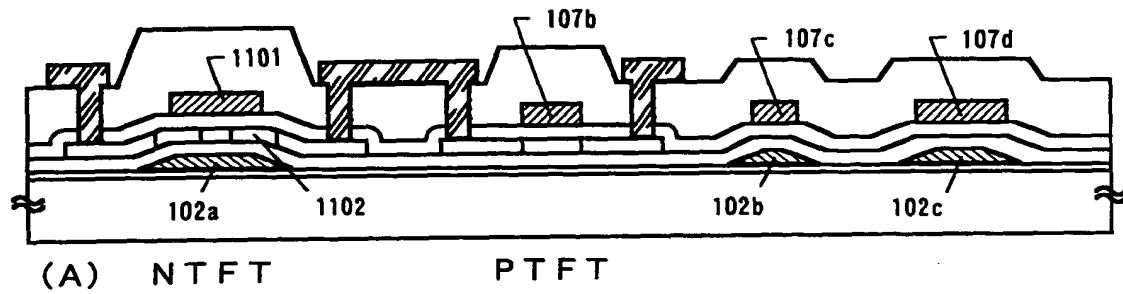
保持容量部



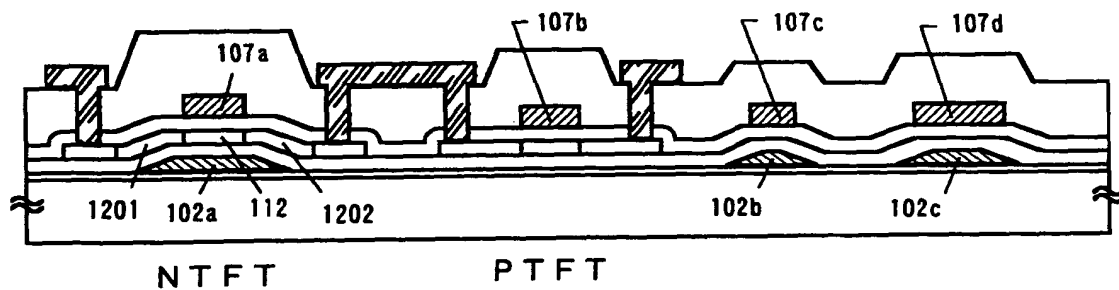
【図 10】



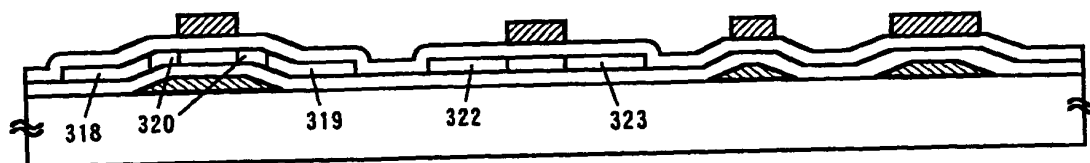
【図11】



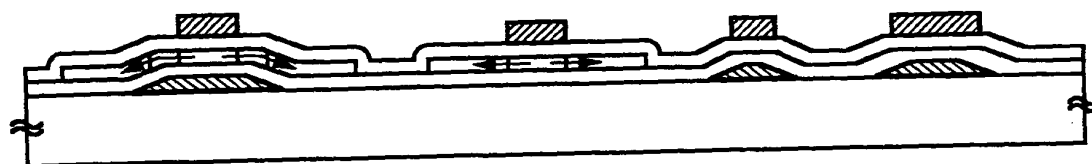
【図12】



【図13】

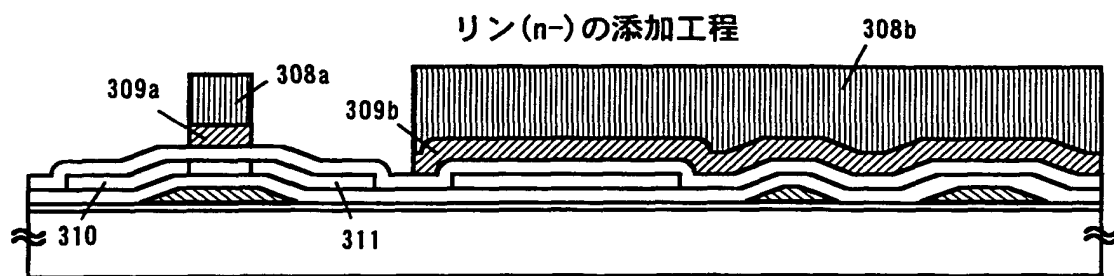


(A)

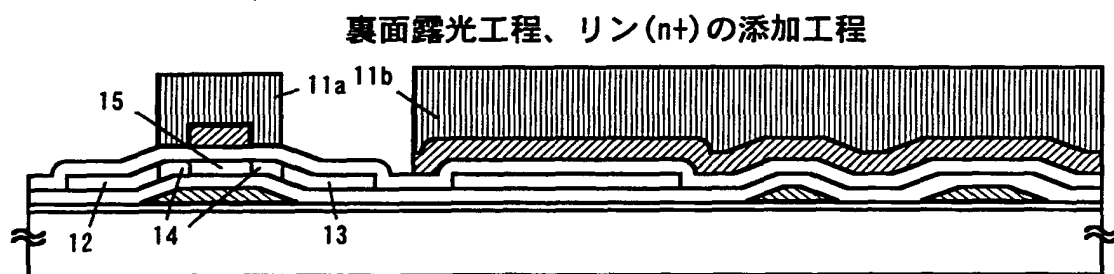


(B)

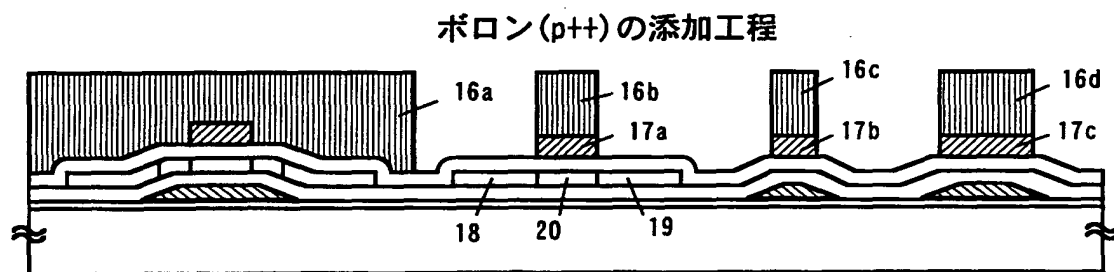
【図14】



(A)



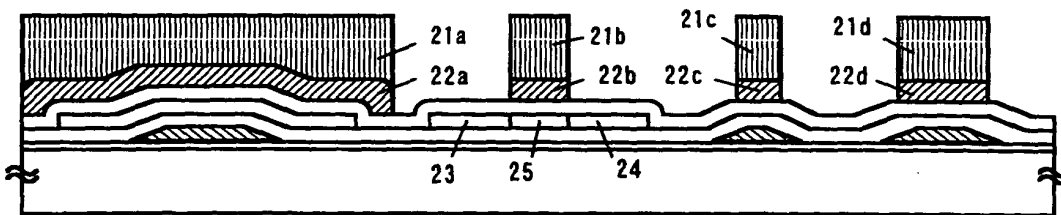
(B)



(C)

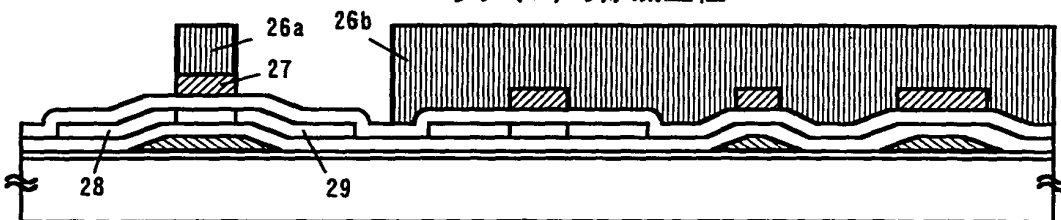
【図15】

ボロン(p++)の添加工程



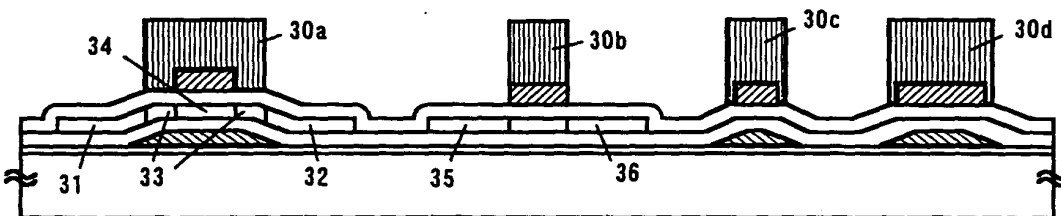
(A)

リン(n-)の添加工程



(B)

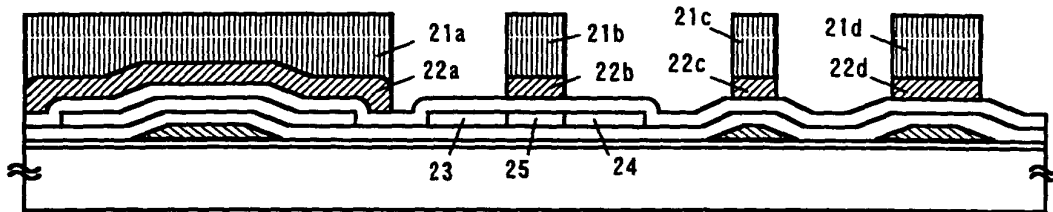
裏面露光工程、リン(n+)の添加工程



(C)

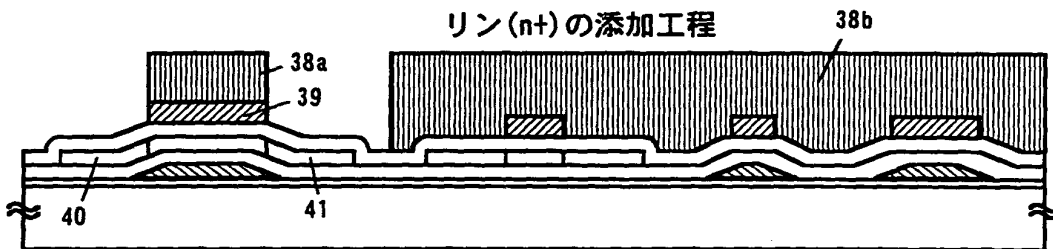
【図16】

ボロン(p++)の添加工程



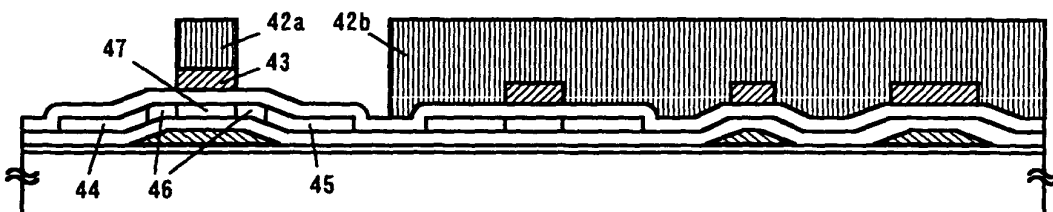
(A)

リン(n+)の添加工程



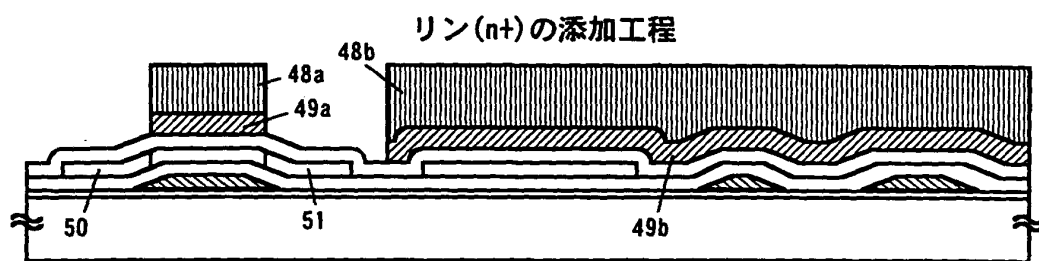
(B)

リン(n-)の添加工程

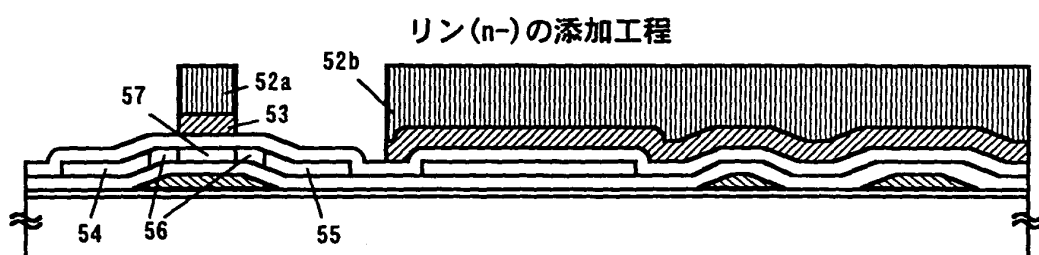


(C)

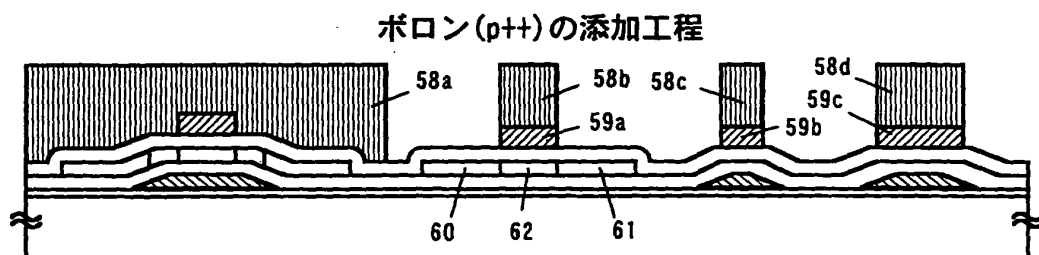
【図17】



(A)

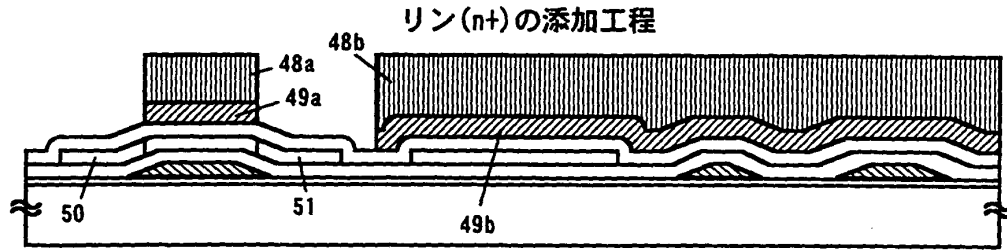


(B)

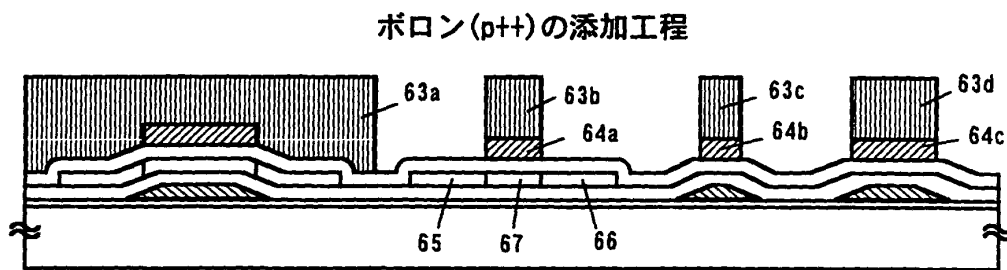


(C)

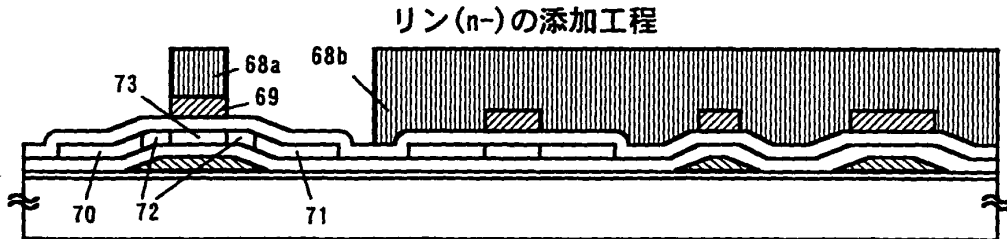
【図18】



(A)



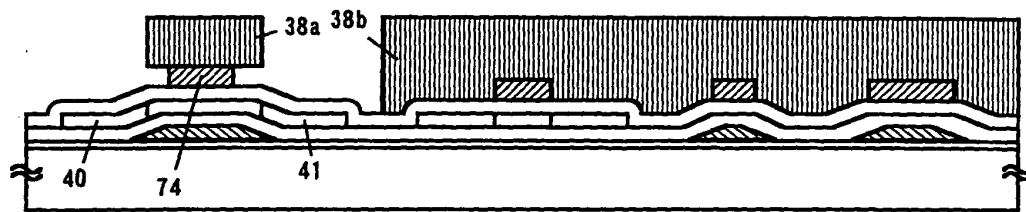
(B)



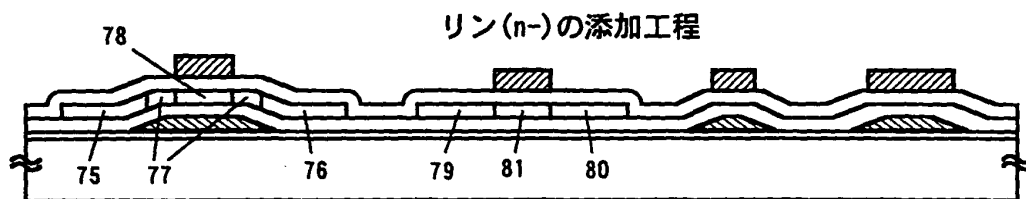
(C)



【図19】

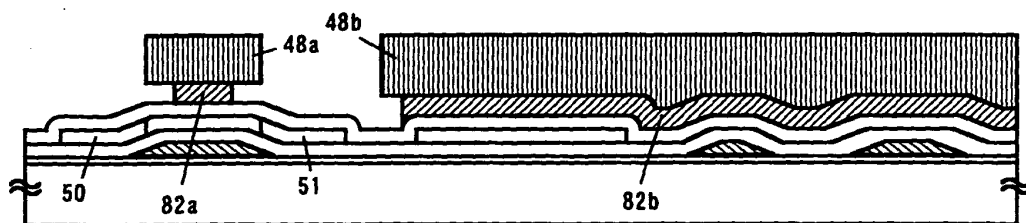


(A)

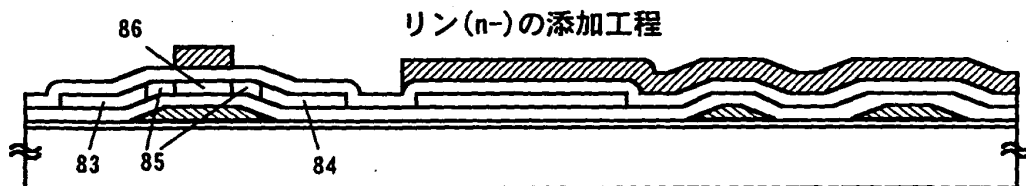


(B)

【図20】

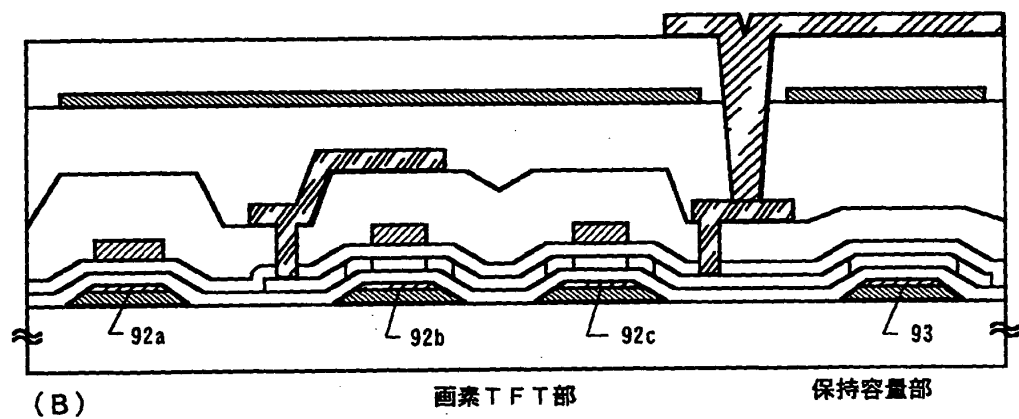
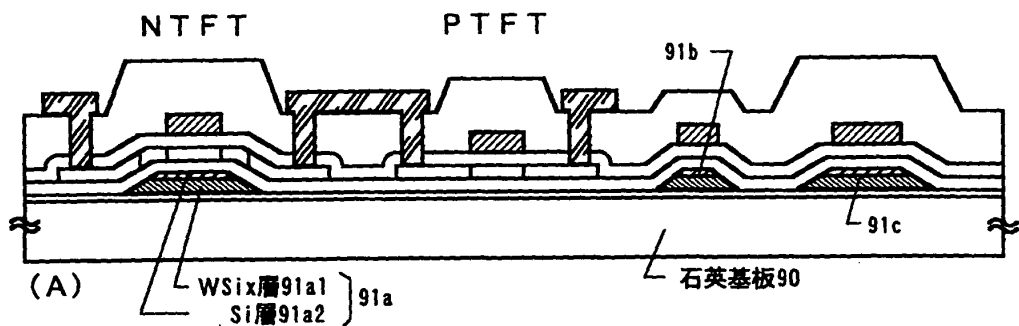


(A)



(B)

【図21】



【図22】

